

JAPAN PATENT OFFICE

PATENT LAID-OPEN OFFICIAL GAZETTE

Laid-Open No.

H.7-161660

Laid-Open

H.7 (1995) Jun. 23

Application No.: H.5-311435

Filed: H.5 (1993) Dec. 13

Inventors: Yoshiaki Yamada
5-7-1, Shiba, Minato-ku, Tokyo
NEC Corporation

Applicant: 000004237
NEC Corporation
5-7-1, Shiba, Minato-ku, Tokyo

Attorney, Agent: Naoki Kyomoto and two others

1. TITLE OF THE INVENTION

Method of Fabricating Semiconductor Devices

[Summary]

[Objective]

To give high heat resistance to very thin Ti silicide film formed by the reaction of Si and Ti.

[Configuration]

Natural oxide film 5 is removed from Si substrate or polycrystalline Si electrode 3 using low-energy Ar without damaging the Si, and Ti film 6 is then formed by sputtering in an Ar atmosphere containing trace oxygen and nitrogen. The specimen is then heat treated in an nitrogen atmosphere in order to form Ti silicide film 7, and the TiN film is then removed from the surface or SiO₂. This produces Ti silicide film 7 having uniform thickness, and oxygen or nitrogen contained in the film prevents agglomeration of Ti silicide film 7 during subsequent heat treatment, thus preventing the deterioration of the electrical characteristics of the very thin Ti silicide layer.

2. WHAT IS CLAIMED

1. A method of fabricating semiconductor devices, involving a process of depositing high-melting point metal on a silicon substrate or a polycrystalline silicon layer

to form a high-melting point metal (layer), and a process of thermally treating the specimen to form a silicide layer of the said high-melting point metal on the said silicon substrate or polycrystalline silicon layer, being characterized by that the process of removing the silicon oxide film from the said silicon substrate or polycrystalline silicon layer before deposition of the said high-melting point metal without damaging the said silicon substrate or polycrystalline silicon layer is performed in the same vacuum chamber as the process of forming the said high-melting metal layer by sputtering in an atmosphere containing trace oxygen or nitrogen.

2. A method of fabricating semiconductor devices, as defined in claim 1, characterized by that partial pressure of oxygen or nitrogen in sputtering atmosphere is 100 to 1000 ppm of total pressure.

3. A method of fabricating semiconductor devices, as defined in claim 2, characterized by that silicon oxide film is removed from a silicon substrate or a polycrystalline silicon layer by a sputter-etching method using inactive gas ions with energy of 10 to 100 eV.

4. A method of fabricating semiconductor devices, as defined in claim 2, characterized by that silicon oxide film is removed from a silicon substrate or a polycrystalline silicon layer by reduction using plasma containing hydrogen.

5. A method of fabricating semiconductor devices, as defined in claim 2, characterized by that silicon oxide film is removed from a silicon substrate or a

polycrystalline silicon layer by using plasma of a mixed atmosphere of hydrogen and inactive gas, energy of which is 10 to 100 eV energy.

6. A method of fabricating semiconductor devices, as defined in claim 3 or 5, characterized by that the inactive gas is argon (Ar).

7. A method of fabricating semiconductor devices, as defined in claim 1, characterized by that the high-melting point metal is Ti.

8. A method of fabricating semiconductor devices, as defined in claim 1, characterized as comprising a process of forming high-melting point metal to 20 nm or thinner by sputtering before the said high-melting point metal is formed by sputtering in an atmosphere containing trace oxygen or nitrogen.

3. DETAILED DESCRIPTION OF THE INVENTION

[0001]

[Scope of Utilization in Industry]

This invention relates to a method of fabricating semiconductor devices, particularly to a method of forming a high-melting point metallic silicide layer on silicon.

[0002]

[Prior Art]

With the increasing level of integration of semiconductor devices, device elements such as MOS transistors are shrinking. Such footprint shrinkage of the elements is inevitably accompanied by vertical shrinking, which increases the resistance in diffusion layers and gate electrode wirings made of polysilicon on a silicon substrate. To avoid such problems, a high-melting point metallic silicide layer is currently formed on silicon to decrease the resistance.

[0003]

Specifically, methods for forming a high-melting metallic silicide layer on the surfaces of source-drain regions and gate electrodes of a MOS transistor in a self-aligning manner are of great interest. An example of such a conventional method is described in the IEEE Transaction on Electron Devices, vol. ED-32, no. 2, pp. 141-149, 1985, in which a Ti silicide layer is formed on the surfaces of source-drain regions and gate electrodes in a self-aligning manner.

[0004]

However, the above conventional method has a problem in that Ti silicide agglomerates into islands, increasing the sheet resistance and resulting in possible disconnection. Such agglomeration occurs during heat treatment after silicide layer formation. Heat treatment is performed at 900°C for 30 minutes, for example, to activate the impurities introduced by ion implantation and to reflow and flatten the interlayer insulation film. This problem occurs more frequently as the Ti silicide layer becomes thinner and narrower. The fact that thin Ti silicide is apt to agglomerate has been reported in the

Journal of Applied Physics, vol. 71, no. 2, pp. 720-724, 1992, for example. Therefore, as the Ti silicide layer becomes thinner and narrower due to the shrinkage of MOS transistors, the agglomeration problem occurs more frequently.

[0005]

To solve this problem, a method to mix Ti oxide or Ti nitride in Ti silicide is proposed. A method of mixing Ti oxide is disclosed in patent H.2-58874, for example, and a method of mixing Ti nitride is disclosed in patent H.2-96374, for example.

[0006]

The formation of a high-melting point metallic silicide layer in a self-aligning manner poses additional problems in that natural oxide films are always formed on a uniform high-melting point metallic silicide layer having a desired resistance value, and that damaged layers are created by dry etching. To solve these problems, a method of etching and cleaning the surface of silicon using Ar plasma before forming high-melting point metallic film is proposed in patent S.62-94937, for example.

[0007]

[Problems to be Solved by the Invention]

However, in the above-described conventional method for semiconductor devices, where Ti oxide or Ti nitride is mixed in the Ti silicide layer to prevent agglomeration, an uneven natural oxide film is present on the silicon because the natural film is not completely removed before the Ti film is formed on silicon, resulting in irregular

reaction between the Ti film and silicon and producing a Ti silicide film with irregular thickness.

[0008]

Furthermore, as trace oxide or nitride is added to the Ti film, the natural oxide film is difficult to remove from silicon completely. Therefore, it is more difficult to fabricate such Ti silicide films so as to have uniform thickness as desired compared to pure Ti film.

[0009]

When the Ti silicide layer on silicon is of uneven thickness, the Ti silicide layer is likely to agglomerate during the subsequent heat treatment, thus increasing sheet resistance.

[0010]

However, the above conventional method of fabricating semiconductor devices, where the surface of silicon is etched and cleaned using Ar plasma before the Ti film is formed and heated to form a Ti silicide layer, also has problems. That is, although a uniform and desired resistance can be obtained practically if the Ti silicide layer pattern is sufficiently broad, agglomeration easily occurs during subsequent heat treatment if the Ti silicide layer is narrow or if a thin silicide layer is necessary.

[0011]

More specifically, in Ti films that do not contain oxygen or nitrogen, columnar crystals grow individually perpendicular to the substrate, each growing on its own plane, that is, to different orientations. Therefore, the thickness of the Ti silicide layer, which is formed when

Ti reacts with silicon, is microscopically uneven. Also, silicide crystals are likely to grow as secondary products during heat treatment after silicide layer formation. The result of these phenomena is that the Ti silicide layer agglomerates into islands, resulting in deteriorated electrical characteristics such as increased resistance and disconnection.

[0012]

The above processes are described referring to figure 4. As shown in figure 4(a), Ti silicide 32 on silicon substrate 31 is composed of relatively large crystal grains, the height of which differ slightly from each other. When the film is heated to 900°C for approximately 30 minutes, Ti silicide crystal grains 32 grow large and agglomerate, deforming the silicide layer into islands, as shown in figure 4(b). Such agglomeration occurs more frequently as the Ti silicide layer pattern becomes narrower and thinner.

[0013]

The objective of this invention is to solve the problems described above; specifically, to provide a method of fabricating highly refractory semiconductor devices, and which is capable of preventing deterioration of the electrical characteristics of very thin Ti silicide.

[0014]

[Means for Solving the Problem]

This invention is a method of fabricating semiconductor devices involving a process of depositing

high-melting point metal on a silicon substrate or a polycrystalline silicon layer to form a high-melting point metal (layer) and a process of thermally treating the specimen to form a silicide layer of the said high-melting point metal on the said silicon substrate or polycrystalline silicon layer, being characterized by that the process of removing the silicon oxide film from the said silicon substrate or polycrystalline silicon layer before deposition of the said high-melting point metal without damaging the said silicon substrate or polycrystalline silicon layer is performed in the same vacuum chamber as the process of forming the said high-melting point metal layer by sputtering in an atmosphere containing trace oxygen or nitrogen.

[0015]

The partial pressure of oxygen or nitride in the sputtering atmosphere used for this invention is 10 to 1000 ppm of the total pressure. The silicon oxide film may be removed from the silicon substrate or polycrystalline silicon layer by a sputter-etching method using inactive gas ions with 10 to 100 eV energy; reduced using hydrogen-containing plasma; or by both processes.

[0016]

This invention uses Ar for the inactive gas and Ti for a high-melting point metal. The high-melting point metal may also be formed to 20 nm or thinner by sputtering in inactive gas alone before the said high-melting point metal is formed by sputtering in an atmosphere containing oxygen or nitrogen.

[0017]

[Embodiment]

Figure 1 shows cross sections of the processes in the order for illustrating an embodiment using this invention.

[0018]

As shown in figure 1(a), gate oxide film 2 is formed on silicon substrate 1, and gate polycrystalline silicon electrode 3 is formed on gate oxide film 2. The sidewalls of silicon oxide film 4 are formed on the sides of gate polycrystalline silicon electrode 3. The sidewalls of silicon oxide film 4 are specifically formed by anisotropic reactive dry etching after gate polycrystalline silicon electrode 3 has been formed, and then the silicon oxide film is formed on the entire surface of silicon substrate 1. Here, since the surface of silicon substrate 1 and gate polycrystalline silicon electrode 3 are exposed to the atmosphere after etching in a vacuum, natural oxide film 5 is formed on these surfaces as a result of oxidation by oxygen in the atmosphere.

[0019]

Next, in order to remove natural oxide film 5 before Ti film formation, the film is subjected to wet chemical etching using a hydrofluoric acid solution of approximately 1 mol% concentration. However, thin natural oxide film 5 is formed due to post-etching washing or when later exposed to the atmosphere.

[0020]

Subsequently, silicon substrate 1 is transferred to the sputtering system, where natural oxide film 5 is etched and removed by the sputtering method using inactive

gas ions, as shown in figure 1(b). If the radio frequency sputtering method with counter electrodes is used here, argon (Ar) gas should be introduced at 2 to 15 mTorr in pressure, then radio frequency bias should be applied to silicon substrate 1. Here, a voltage of 100 V or smaller must be applied to the silicon substrate.

[0021]

These conditions must be observed in order to prevent Ar gas ion energy from being input into silicon. Simultaneously, the Ar gas ion energy should be between 10 and 100 eV in order to secure sufficient energy for sputtering and etching. Although Ar gas is used here, other inactive gases such as krypton (Kr), xenon (Xe), and neon (Ne) may be used instead.

[0022]

Next, as shown in figure 1(c), Ti film 6 is formed to a thickness of 30 to 100 nm without being exposed to the atmosphere. Specifically, the Ti target is sputtered in an Ar atmosphere containing oxygen or nitrogen to a partial pressure of 100 to 1000 ppm of the total pressure. This allows approximately 50 to 1000 ppm oxygen or nitrogen to be contained in Ti film 6.

[0023]

Then, heat treatment is performed using the rapid thermal annealing system in a nitrogen atmosphere at 600 to 700°C for 10 to 60 seconds. This allows the regions of Ti film 6 in contact with silicon to form a layered structure consisting of Ti silicide film 7 and TiN film 8, and the regions of Ti film 6 in contact with the silicon

oxide film to form a layered structure consisting of TiN film 8 and unreacted Ti film 6, as shown in figure 1(d).

[0024]

Then, as shown in figure 1(e), TiN film 8 and unreacted Ti film 6 are selectively etched and removed using an aqueous solution of ammonia and hydrogen peroxide. Since Ti silicide film 7 here has the C49 structure with high resistance, i.e., 0.6×10^{-5} to $1.5 \times 10^{-4} \Omega\text{cm}$ of specific resistance, heat treatment is performed again using the rapid thermal annealing system in a nitrogen or inactive gas atmosphere at 850 to 950°C for 10 to 60 seconds in order to change the phase of Ti silicide film 7 to the stable C54 structure, which has a low resistance of 1.5 to $2.0 \times 10^{-5} \Omega\text{cm}$.

[0025]

The second heat treatment for changing Ti silicide film 7 from the C49 structure to the C54 structure must be performed at higher temperature and for a longer period because Ti silicide layer 7 becomes narrower and thinner. As shown in figure 1(f), BPSG film 9 is formed on the entire surface of the substrate by chemical vapor deposition (CVD), followed by thermal treatment in a nitrogen atmosphere at 750 to 1000°C for approximately 10 to 30 seconds for reflowing and flattening purposes.

[0026]

Then, as shown in figure 1(g), a contact hole extending down to Ti silicide layer 7 is formed at a desired position in BPSG film 9 using standard lithography and etching techniques. After that, Al alloy film 10 is

formed by sputtering and patterned into a desired shape, thus forming Al wirings.

[0027]

In this embodiment, natural oxide film 5 on silicon is removed using Ar ions with a low energy of 10 to 100 eV without damaging silicon. Other methods may also be used.

[0028]

For example, natural oxide film 5 may be removed completely using plasma containing hydrogen. However, reduction using hydrogen plasma alone requires higher substrate temperature and more time. The use of plasma containing both hydrogen and Ar for removing natural oxide film 5 requires a lower temperature and shorter etching time. In this case, however, Ar ion energy in the plasma must also be between 10 and 100 eV.

[0029]

For generating plasma with such low energy and high density, plasma sources such as electron cyclotron resonance (ECR) and helicon wave are suitable.

[0030]

Although Ti film 6 is formed in the Ar atmosphere containing trace oxygen and nitrogen immediately after removing natural oxide film 5 from the silicon in this embodiment, pure Ti film 11 may be formed to a thickness of 20 nm or thinner by pure Ar sputtering below Ti film 6, which contains trace oxygen or nitrogen, as shown in figure 2. This is because after natural oxide film 5 is removed, the surface of the silicon is exposed to the

atmosphere containing oxygen or nitrogen and thus may be oxidized or nitrified before Ti film 6 is formed.

[0031]

Depending on the total Ti film thickness, pure Ti film 11 should be thinner than 20 nm; if the film is thicker than 20 nm, the advantages of this invention diminish, thus allowing Ti silicide film to agglomerate easily.

[0032]

If the partial pressure of oxygen or nitrogen during formation of Ti film 6 is less than 100 ppm, the concentration of oxygen or nitride in Ti film 6 will be too low to fully suppress the agglomeration of Ti silicide film; conversely, if the partial pressure is greater than 1000 ppm, oxygen in Ti film 6 or a Ti silicide layer with a desired thickness may not be obtained. Therefore, the partial pressure of oxygen or nitride should fall between 100 ppm and 1000 ppm.

[0033]

The following describes the reasons why this invention is effective for preventing agglomeration of the Ti silicide layer.

[0034]

One reason is that the Ti film is formed on the silicon after the natural oxide film has been completely removed from the silicon without damaging silicon. Another reason is that a Ti film with very small grain size is formed by sputtering in an atmosphere containing trace oxygen or nitrogen, thus entraining trace oxygen or nitrogen into the film. Combining these two processes

improves the microscopic uniformity of thickness of the Ti silicide layer, which is formed by later heat treatment. If trace oxygen is added to the Ti film to form the Ti silicide layer, oxygen is deposited between Ti silicide layer 13 and silicon substrate 11 to form layer 12 containing appreciable quantities of oxygen, as shown in figure 2. This layer prevents silicon from further diffusing into the Ti silicide layer during subsequent heat treatment, thus suppressing agglomeration of the Ti silicide layer.

[0035]

If trace nitrogen is added to Ti film to form the Ti silicide layer, titanium nitride (TiN) 22 is deposited at the grain boundary in Ti silicide layer 23, as shown in figure 3. TiN 22 suppresses the secondary growth of crystalline grains of Ti silicide during subsequent high-temperature heat treatment, thus preventing agglomeration.

[0036]

As described above, this invention induces the formation of a very thin low-resistance silicide layer, and prevents deformation of the silicide layer, thus preventing deterioration of the electrical characteristics during subsequent high-temperature heat treatment. Note that other high-melting point metals such as Co, W, and Ni provide exactly the same effects as Ti.

[0037]

[Advantages of the Invention]

As described above, in this invention, the silicon oxide film is removed from the silicon without damaging

the silicon, and Ti film is formed by sputtering in an inactive gas atmosphere containing trace oxygen or nitrogen while preventing the silicon from being exposed to the atmosphere and hence preventing the formation of a further natural oxide film. As a result, the Ti film is prevented from agglomerating when the Ti silicide layer is formed later by reaction of the Ti film with silicon.

[0038]

Specifically, in the conventional method, when the Ti silicide layer is narrower than 0.5 μm or thinner than 50 nm, the Ti silicide layer agglomerates, thus increasing resistance and causing disconnections by heat treatment at temperatures higher than 750°C, and low-resistance Ti silicide with the C54 structure cannot be obtained by heat treatment at temperatures lower than 750°C. Even if the C54 structure is obtained, the Ti silicide layer would agglomerate when the BPSG film is subsequently deposited and thermally treated at 800 to 900°C, which is performed in order to flatten and reflow the BPSG film. By contrast, in this invention, agglomeration can be prevented in heat treatment at up to approximately 850 to 900°C. Therefore, a very thin low-resistance Ti silicide layer with a C54 structure can be obtained, and the Ti silicide layer does not agglomerate during the subsequent BPSG film deposition and heat treatment for flattening and reflowing, thus preventing increased resistance and disconnections of the Ti silicide layer.

4. BRIEF DESCRIPTION OF THE DRAWINGS

[Figure 1]

Cross sections of the processes in the order for illustrating an embodiment using this invention.

[Figure 2]

A cross section for illustrating the effect of an example using this invention.

[Figure 3]

A cross section for illustrating the effect of another example using this invention.

[Figure 4]

Cross sections for illustrating the problems of prior arts.

[Numerics in Figures]

- 1, 11, 21, 31: silicon substrate
- 2: gate oxide film
- 3: gate polycrystalline silicon electrode
- 4: silicon oxide film
- 5: natural oxide film
- 6: Ti film
- 7: 13, 23, 32: Ti silicide film
- 8, 22: TiN film
- 9: BPSG film

10: Al alloy film
12: layer containing a mass of oxygen
33: grain boundary

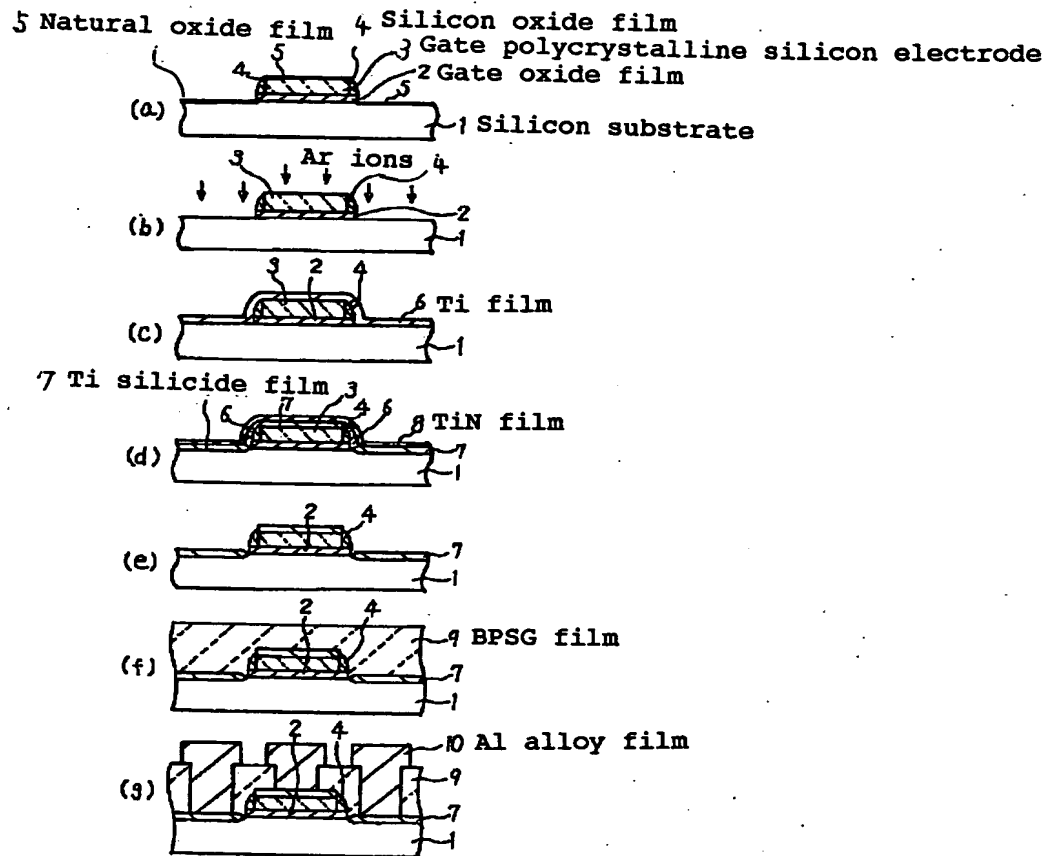


Figure 1

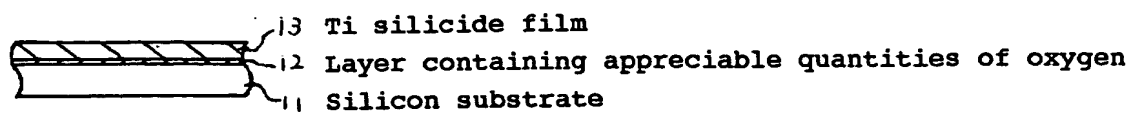


Figure 2

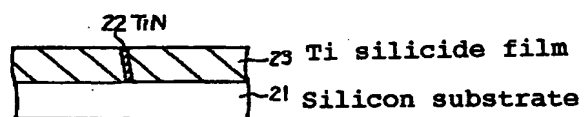


Figure 3

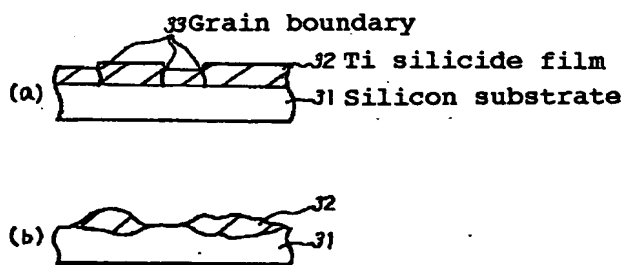


Figure 4

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-161660

(43) 公開日 平成7年(1995)6月23日

(51) Int.Cl.⁵H01L 21/28
29/78
21/336

識別記号

301 T 8826-4M

7514-4M

F I

H01L 29/78

技術表示箇所

301 P

審査請求 有 請求項の数8 OL (全6頁)

(21) 出願番号 特願平5-311435

(22) 出願日 平成5年(1993)12月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 山田 義明

東京都港区芝五丁目7番1号 日本電気株式会社内

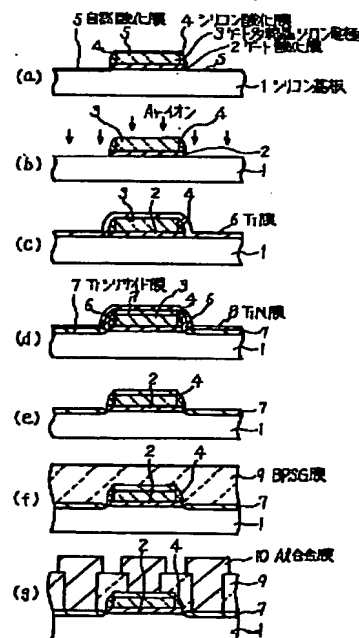
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 SiとTiを反応させてTiシリサイド膜を形成する際、Tiシリサイドが微細となっても高耐熱性を有するようにする。

【構成】 Si基板1や多結晶Si電極3上の自然酸化膜5を低エネルギーのArによりSiに損傷を与えないように除去し、次にTi膜6をArに微量の酸素あるいは窒素を変化しスパッタリング法により形成する。次に窒素雰囲気中で熱処理してTiシリサイド膜7を形成し、表面あるいはSiO₂上にできるTiN膜等を除去する。この方法によりTiシリサイド膜7は均一に形成でき、Tiシリサイド膜7中の酸素あるいは窒素によりその後の熱処理を行ってもTiシリサイド膜7は凝集しにくく、微細なTiシリサイド層の電気特性の劣化を防ぐことができる。



【特許請求の範囲】

【請求項1】 シリコン基板あるいは多結晶シリコン層上に高融点金属を被着して高融点金属を形成し熱処理により前記シリコン基板あるいは多結晶シリコン層上に前記高融点金属のシリサイド層を形成する工程を含む半導体装置の製造方法において、前記高融点金属の被着に先立ち、前記シリコン基板あるいは多結晶シリコン層上のシリコン酸化膜を前記シリコン基板あるいは多結晶シリコン層に損傷を与えることなく除去する工程と、前記高融点金属層を酸素あるいは窒素を微量に含む雰囲気中でスパッタリングにより形成する工程とを同一真空室で行なうことを特徴とする半導体装置の製造方法。

【請求項2】 スパッタリング雰囲気中の酸素あるいは窒素の分圧が全圧の100～1000ppmである請求項1記載の半導体装置の製造方法。

【請求項3】 シリコン基板あるいは多結晶シリコン層上のシリコン酸化膜の除去を、10～100eVの範囲のエネルギーを持った不活性ガスイオンのスパッタエッチングにより行う請求項2記載の半導体装置の製造方法。

【請求項4】 シリコン基板あるいは多結晶シリコン層上のシリコン酸化膜の除去を、水素を含むプラズマにて還元して行う請求項2記載の半導体装置の製造方法。

【請求項5】 シリコン基板あるいは多結晶シリコン層上のシリコン酸化膜の除去を、水素と不活性ガスの混合雰囲気中のプラズマにより行ない、その不活性ガスイオンのエネルギー範囲が10～100eVである請求項2記載の半導体装置の製造方法。

【請求項6】 不活性ガスがアルゴン（Ar）である請求項3または5記載の半導体装置の製造方法。

【請求項7】 高融点金属がTiである請求項1記載の半導体装置の製造方法。

【請求項8】 高融点金属を酸素あるいは窒素を微量に含む雰囲気中でスパッタリングにより形成する前に前記高融点金属を20nm以下の厚さに不活性ガスのみでスパッタリングにより形成する工程を含む請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、特に、シリコン上に高融点金属シリサイド層を形成する方法に関する。

【0002】

【従来の技術】半導体装置の高集積化に伴ない、MOSトランジスタ等の構成素子が縮小化されている。この素子の横方向の縮小化にともない、深さ方向の縮小化も進むため、シリコン基板に形成された拡散層や多結晶シリコンによるゲート電極配線が高抵抗となってしまうという問題がある。そこでシリコン上に高融点金属シリサイド層を形成して低抵抗化を図ることが行なわれている。

【0003】その方法の1つとして、MOSトランジスタのソース・ドレイン領域やゲート電極の表面に自己整合的に高融点金属シリサイド層を形成する方法が注目されている。この従来技術としては例えばアイ・イー・イー・イー、トランザクション・オン エレクトロニクス Vol ED-32 No. 2 141～149頁1985年（IEEE Transaction on Electron Devices Vol ED-32 No. 2 PP141～1491985年）に記載されているように、ソース・ドレイン領域とゲート電極の表面にTiシリサイド層を自己整合的に形成する方法がある。

【0004】しかし、上述した従来の技術においては、シリサイド層形成後、イオン注入で導入した不純物の活性化や層間絶縁膜をリフローし平坦化するために必要な熱処理、例えば900℃30分の熱処理によりTiシリサイドが島状に凝集し、シート抵抗の増大を引き起こし、ついには断線してしまうという問題点がある。この問題はTiシリサイド層の厚さや幅が小さいほど起こりやすい。Tiシリサイドが薄いと凝集しやすいということは、例えばジャーナル オブ アプライド フィジックス Vol. 71 No. 2 720～724頁1992年（Journal of Applied Physics Vol. 71 No. 2 PP72～724 1992年）にて報告されている。従って、MOSトランジスタの縮小化によりTiシリサイド層も薄く幅は小さくなってくると凝集による問題が起こりやすくなってくる。

【0005】この問題を解決するために、Tiシリサイド中にTi酸化物やTi窒化物を含有させる方法が提案されている。たとえばTi酸化物を含有させる方法は、特開平2-58874号公報に、Ti窒化物を含有させる方法は特開平2-96374号公報に記載されている。

【0006】また、自己整合的に高融点金属シリサイド層を形成する際の別の問題として均一で所望の抵抗値をもつ高融点金属シリサイド層を常に形成された自然酸化膜やドライエッチングなどによるダメージ層が考えられ、これを解決するために、高融点金属膜を形成する前にArプラズマでエッチングしてシリコン表面をクリーニングすることが、たとえば特開昭62-94937号公報に提案されている。

【0007】

【発明が解決しようとする課題】上述したTiシリサイド層中にTi酸化物やTi窒化物を含有させて、凝集を起りにくくした従来の半導体装置の方法では、Ti膜をシリコン上に形成する前に完全に自然酸化膜を除去していないため、自然酸化膜はシリコン上に不均一に存在しており、Ti膜とシリコンの反応が不均一におこりTiシリサイド層の膜厚が不均一となる。

【0008】

さらにTi膜中には微量ではあるが、酸素

や窒素が添加されているためTi膜によりシリコン上の自然酸化膜を完全になく、ねらい通りのTiシリサイド層の膜厚を均一性良く形成することは、純なTi膜に比べ困難である。

【0009】シリコン上に形成されたTiシリサイド層の膜厚が不均一であるとその後の熱処理によりTiシリサイド層が凝集しやすく、シート抵抗が増大しやすいという問題がある。

【0010】また、Ti膜を形成する前に、Arプラズマによるエッチングで、シリコン表面をクリーニングした後、Ti膜を形成し、加熱してTiシリサイド層を形成する従来の半導体装置の製造方法では、Tiシリサイド層が形成されるパターン幅が大きい場合には均一にほぼねらい通りの抵抗値が得られるが、Tiシリサイド層の幅が小さくなったり、薄いシリサイド層を形成しようとする場合、その後の熱処理で凝集が起こりやすいという問題がある。

【0011】それは、酸素や窒素などを含有しない純なTi膜を形成すると、基板に対して垂直な柱状に結晶成長するが、それぞれの柱状の結晶粒の成長面方位が異なるため、シリコンと反応して形成されるTiシリサイド層の厚さが、微視的には不均一であることと、さらに、シリサイド層形成後の熱処理によりシリサイドの結晶量が2次成長しやすきことにより、Tiシリサイド層は島状に凝集して、Tiシリサイド層の抵抗増大や断線などの電気的特性が劣化してしまうという問題点がある。

【0012】この様子を図4を用いて説明する。図4(a)に示すようにシリコン基板31上に形成されたTiシリサイド32は比較的大きな結晶粒であり、それぞれの結晶粒の厚みは若干異なっている。その後900℃30分程度の熱処理を行なうと、Tiシリサイド32の結晶粒が大きく成長するが、図4(b)に示すように凝集して島状のシリサイド層に変形してしまう。この凝集は、Tiシリサイド層のパターン幅がせまく、また膜厚が薄いほど起こりやすい。

【0013】本発明の目的は、これらの問題を解決し、高耐熱性を有し、微細なTiシリサイドの電気特性の劣化を防いだ半導体装置の製造方法を提供することにある。

【0014】

【課題を解決するための手段】本発明の構成は、シリコン基板あるいは多結晶シリコン層上に高融点金属を被着して高融点金属を形成し熱処理により前記シリコン基板あるいは多結晶シリコン層上に前記高融点金属のシリサイド層を形成する工程を含む半導体装置の製造方法において、前記高融点金属の被着に先立ち、前記シリコン基板あるいは多結晶シリコン層上のシリコン酸化膜を前記シリコン基板あるいは多結晶シリコン層に損傷を与えることなく除去する工程と、前記高融点金属層を酸素あるいは窒素を微量に含む雰囲気中でスパッタリングにより

形成する工程とを同一真空室中で行なうことを特徴とする。

【0015】さらに本発明のスパッタリング雰囲気中の酸素あるいは窒素の分圧が、全圧の10～1000ppmであり、またそのシリコン基板あるいは多結晶シリコン層上のシリコン酸化膜の除去を10～100eVの範囲のエネルギーを持った不活性ガスイオンにてスパッタエッチングし、水素を含むプラズマにて還元するか、あるいは、その両方で行うことができる。

【0016】さらに、本発明の不活性ガスがArであり、また、高融点金属がTiであり、また高融点金属を酸素アルイハ窒素を含む雰囲気にてスパッタリングにて形成する前に、不活性ガスのみで20nm以下の前記高融点金属をスパッタリングにて形成することもできる。

【0017】

【実施例】図1は本発明の一実施例を説明するために工程順に示した断面図である。

【0018】図1(a)に示すように、シリコン基板1上にゲート酸化膜2が、さらにその上にゲート多結晶シリコン電極3が形成され、ゲート多結晶シリコン電極3の側面にシリコン酸化膜4のサイドウォールを形成する。シリコン酸化膜4よりなるサイドウォールは、ゲート多結晶シリコン電極3を形成後、シリコン基板1の全面にシリコン酸化膜を形成した後、反応性ドライエッチング法にて異方性エッチングを行なって形成する。この場合、エッチングを真空中で行なった後、大気にさらされるので、露出したシリコン基板1やゲート多結晶シリコン3の表面には大気中の酸素によって酸化された自然酸化膜5が形成される。

【0019】次に、Ti膜の形成に先立ち自然酸化膜5を除去するために、1mol%程度の濃度のフッ酸溶液で、湿式化学エッチング法によりエッチングする。しかし、エッチング後の水洗やその後再び大気にさらされるなどして、薄い自然酸化膜5が形成されてしまう。

【0020】その後、シリコン基板1をスパッタリング装置に移し、不活性ガスのイオンを用いたスパッタエッチングにより図1(b)に示すように自然酸化膜5をエッチング除去する。このエッチングを対向電極を有する高周波スパッタエッチング法にて行なう場合、アルゴン

(Ar)ガスを2～15mTorrの圧力となるように導入してから、シリコン基板1に高周波バイアスを印加する。その際基板にかかる電圧は100V以下にする。

【0021】これは、Arガスイオンのエネルギーがシリコン内にインオン注入されないようにしなければならないからである。また、スパッタエッチングが可能なエネルギーは必要であるから、Arガスのイオンエネルギーは10～100eVの範囲とするのが望ましい。ここではArガスを用いたが、他の不活性ガス例えばクリプトン(Kr)、キセノン(Xe)又はネオン(Ne)ガスをを用いてもよい。

【0022】ひき続き、図1(c)に示すように大気にさらすことなくTi膜6を30~100nmの厚さに形成する。その際、Arガスに全圧の100~1000ppmの分圧となるように酸素又は窒素を添加した雰囲気中でTiターゲットをスパッタリングする。これによりTi膜6中に酸素又は窒素が50~1000ppm程度微量に含まれる。

【0023】次に、窒素雰囲気中で高速熱アニール装置で600~750℃で10~60秒の熱処理を行なう。これにより図1(d)に示すように、シリコンと接しているTi膜6はTiシリサイド膜7とTiN膜8の積層構造となり、シリコン酸化膜上のTi膜6はTiN膜8と未反応のTi膜6の積層構造になる。

【0024】その後、図1(e)に示すように、アンモニアと過酸化水素の水溶液でTiN膜8と未反応Ti膜6を選択的にエッチング除去する。この時できているTiシリサイド膜7はC49構造であり比抵抗が $0.6 \times 10^{-4} \sim 1.5 \times 10^{-4} \Omega \text{cm}$ と抵抗が高いため、その後、再度高速熱アニール装置で850~950℃で10~60秒間窒素あるいは不活性ガス雰囲気中で熱処理してTiシリサイド膜7を安定なC54構造に相転移させて $1.5 \sim 2.0 \times 10^{-4} \Omega \text{cm}$ と低抵抗にする。

【0025】Tiシリサイド膜7をC49構造からC54構造へ変化させるための第2回目の熱処理温度は、Tiシリサイド層7の幅や膜厚が小さいほど高温が必要となりまた、熱処理時間も長くなる。次に図1(f)に示すように基板全面にBPSG膜を9を化学気相成長法(CVD法)により形成後、窒素雰囲気中で750~1000℃の温度で10~30分程度熱処理して、BPSG膜9をリフローして平坦化する。

【0026】その後、図1(g)に示すようにBPSG膜9の所望の位置にTiシリサイド層7に達する接続孔を通常のリソグラフィ技術、エッチング技術により形成後、Al合金膜10をスパッタリング法により形成し、所望の形状にパターニングして、Al配線を形成する。

【0027】本実施例においては、シリコン上に形成された自然酸化膜5の除去を10~100eVの低エネルギーのArイオンにより行なっているが、シリコンに損傷を与えない。他の方法で行なってもよい。

【0028】例えば、水素を含むプラズマにより、自然酸化膜5を完全にしてもよい。しかし、水素プラズマのみで還元するには基板温度を高温にしたり、あるいは長時間を必要とするため、水素とArの両方を含むプラズマにて自然酸化膜5を除去することにより低温化やエッチング時間の短縮がはかれる。ただし、この場合においても、プラズマ中のArイオンのエネルギーは10~100eV以下にする必要がある。

【0029】このように低エネルギーのイオンで、しかも高密度のプラズマを発生させるためには、電子サイクロトロン共鳴(ECR)プラズマ源やヘリコン波プラズ

マ源などが適している。

【0030】また、本実施例においては、シリコン上の自然酸化膜5を除去後、すぐにAr中に酸素や窒素を微量に含む雰囲気中でTi膜6形成しているが、図2に示すように、酸素あるいは窒素を微量に含むTi膜6の下にArのみでスパッタリング法により形成した純Ti膜11を20nm以下の厚さに形成しても良い。その理由は、自然酸化膜5を除去後、酸素あるいは窒素を含んだ雰囲気中にさらすことにより、Ti膜6の形成前にシリコン表面が酸化あるいは窒化されることがあるためである。

【0031】純Ti膜11の膜厚は、全Ti膜圧にもよるが、20nm以下が良い。20nm以上では本発明の効果が薄れて、Tiシリサイド膜が凝集しやすくなるためである。

【0032】Ti膜6を形成する際の酸素あるいは窒素の分圧は100ppm以下ではTi膜6中の酸素あるいは窒素の濃度が低すぎ、十分にTiシリサイド膜の凝集をおさえることができない。逆に1000ppm以上では、Ti膜6中の酸素あるいは、所望の膜厚のTiシリサイド層が得られなくなったりする。したがって酸素あるいは窒素の分圧は100~1000ppmが望ましい。

【0033】次に本発明によりTiシリサイド層が凝集しにくくなる理由を述べる。

【0034】まず、Ti膜を形成する前にシリコン上の自然酸化膜をシリコンに損傷を与えずに除去し、完全に自然酸化膜の無い状態でTi膜を形成していること。次にTi膜を酸素あるいは窒素を微量に含んだ雰囲気ですパッタリング法により形成することにより非常に小さな粒径の酸素あるいは窒素を微量に含んだTi膜を形成すること。以上の2つを組み合わせることにより、その後の熱処理により形成されるTiシリサイド層は微視的にも均一性は良くできる。また、Ti膜中に酸素を微量に含ませてTiシリサイド層を形成した場合、図2に示すようにTiシリサイド層13とシリコン基板11の間に酸素が折出し、酸素を多量に含んだ層12が形成され、この層によりその後、熱処理を加えてもTiシリサイド層中にシリコンがさらに拡散するのを防止して、Tiシリサイド層の凝集をおさえている。

【0035】また、Ti膜中に窒素を微量に含ませてTiシリサイド層を形成した場合、図3に示すように、Tiシリサイド層23の粒界に窒化チタニウム(TiN)22が折出し、これにより、その後の高温熱処理により、Tiシリサイドの結晶粒の2次成長を抑制し、凝集をおさえている。

【0036】以上説明したように、本発明により微細なシリサイド層も低抵抗に形成でき、その後の高温熱処理においてもシリサイド層の形状劣化による電気特性の劣化を防ぐことができる。なお、本発明の高融点金属とし

ては、Tiの他、Co、W、Ni等の場合にも全く同様の効果が有る。

【0037】

【発明の効果】以上説明したように本発明は、シリコン上のシリコン酸化膜をシリコンに損傷を与えることなく除去した後、再び自然酸化膜が形成されないように、大気にさらすことなく、Ti膜を不活性ガス中に酸素あるいは窒素を微量に含んだ雰囲気中にてスパッタリング法にて形成しているので、その後、Ti膜とシリコンの反応によりTiシリサイド層を形成した場合、Ti膜が凝集しにくいという効果がある。

【0038】具体的には、Tiシリサイド層の幅が0.5μm以下あるいは膜厚が50nm以下と薄い場合、従来の技術では750℃以上の熱処理でTiシリサイド層は凝集して抵抗が増大したり断線してしまうが、750℃以下の低温ではC54構造の低抵抗のTiシリサイドを形成することができない。また、仮にC54構造ができたとしてもその後、BPSG膜を堆積して平坦化リフローのための800～900℃の熱処理によりTiシリサイド層が凝集してしまうが、これに対して本発明の方法では、850～900℃程度の熱処理まで凝集をおさえることが可能であるため、C54構造の低抵抗の微細

なTiシリサイド層を形成でき、またその後BPSG膜を堆積して平坦化リフローのための熱処理を行なってもTiシリサイド層は凝集せず、Tiシリサイド層の抵抗増大や断線を防止できるという効果がある。

05 【図面の簡単な説明】

【図1】本発明の一実施例を説明する工程順の断面図。

【図2】本発明の効果を説明する一例の断面図。

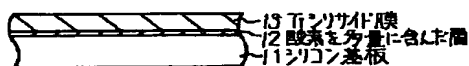
【図3】本発明の効果を説明する他の例の断面図。

【図4】従来技術の問題点を説明する断面図。

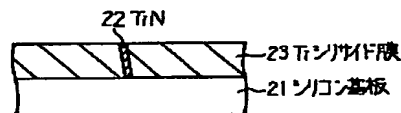
10 【符号の説明】

- | | |
|---------------|--------------|
| 1, 11, 21, 31 | シリコン基板 |
| 2 | ゲート酸化膜 |
| 3 | ゲート多結晶シリコン電極 |
| 4 | シリコン酸化膜 |
| 5 | 自然酸化膜 |
| 6 | Ti膜 |
| 7, 13, 23, 32 | Tiシリサイド膜 |
| 8, 22 | TiN膜 |
| 9 | BPSG膜 |
| 10 | Al合金膜 |
| 12 | 酸素を多量に含んだ層 |
| 33 | 粒界 |

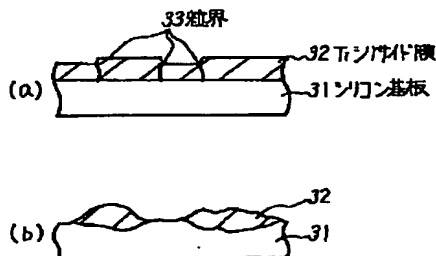
【図2】



【図3】



【図4】



【図1】

